

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-74755

(43) 公開日 平成10年(1998) 3月17日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/316			H 0 1 L 21/316	G
21/768			21/90	S
				Q

審査請求 未請求 請求項の数 2 O I. (全 7 頁)

(21) 出願番号 特願平9-204903

(22) 出願日 平成9年(1997) 7月30日

(31) 優先権主張番号 023133

(32) 優先日 1996年7月30日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インストルメンツ インコポ  
レイテッドアメリカ合衆国テキサス州ダラス、ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 シン - ノー イエング

アメリカ合衆国テキサス州プラノ、エバー  
グリーン 2503

(72) 発明者 ケリー ジェイ、テイラー

アメリカ合衆国テキサス州アレン、チャー  
ター オーク ストリート 829

(74) 代理人 弁理士 浅井 皓 (外3名)

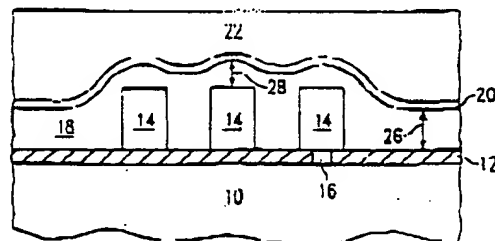
最終頁に続く

(54) 【発明の名称】 マイクロエレクトロニク構造および形成方法

(37) 【要約】

【課題】 H S Q を集積回路構造内に集積する改良された方法および、特に多層配線を必要とする、過熱を提供する。

【解決手段】 配線 14 が最初に基板 10 上にパターン化されエッチングされる。ヒドロジシナルセスキオキサン (H S Q) 等の低 k 材料がウエハ表面を横切してスピニングコートされ配線間の領域を埋める。S i O<sub>2</sub>: 20 等のキャッピング層が低 k 材料の頂部に形成される。次に、H S Q が加熱硬化される。次に、薄い S i O<sub>2</sub> 半導体層 22 を形成して平坦化することができる。別の実施例では、H S Q および S i O<sub>2</sub>: プロセスステップを繰り返して多層 H S Q とすることができる。



BEST AVAILABLE COPY

(3)

特開平 10-747555

HISQの頂部に形成される。次に、HISQをホットプレート上で加熱して硬化させる。次に、薄いS i O<sub>2</sub> 半導化層を形成して平坦化することができる。別の実施例では、HISQおよびS i O<sub>2</sub> プロセスステップを繰り返して多層HISQとすることができる。

【0010】本発明の利点は、既存のHISQ過程に較べC/Pはプロセスが追加されないことである。プロセスステップは本質的に逐次配列し置かれ、したがって新過程の利益を付加するのにコストは付加されない。

【0011】本発明の他の利点は、HISQの形成に続いて高温 (>450°C) 過程を使用できることである。例えば、酸化低誘電率およびクロー等の、高温炉硬化が可能となり誘電率の無欠性が改善される。

【0012】もう一つの利点はO<sub>2</sub> およびH<sub>2</sub> O硬化を使用して後続する過程の前に酸化膜を“回復”できることである。

【0013】さらに、HISQはキャップ層によりプラズマから保護されるため、必要ならば、不純物により酸素プラズマアッシングを使用できることである。また、本発明は前記したで照出所の方法と組み合わせることができる。

【0014】

【発明の実施の形態】図1を参照して、本発明の実施例を示し、HISQ 13は半導体基板10上の配線14間に堆積されている。HISQはいくつかの周知の手法の一つ、および前記参照出願に記載された方法により形成することができる。薄い誘電体キャップ層すなわち半導化層20がHISQ層を被覆している。キャップ層に続いて付加低k材料層を形成することができる。次に、平坦化金属間誘電体層22により金属間領域を完成することができる。

【0015】図2a-図2bを参照して、図1の完成構造で表される本発明の実施例を形成する一連のステップを示す。図2aに誘電体層12で被覆された半導体基板10を示す。本発明の図示する実施例は集積回路上の配線間の容量を低減することに向けられている。これらの配線は典型的にはシリコン結晶等の半導体材料のウエハの表面上に作られるアクティブデバイスの頂面上に配置されるため、半導体基板10は通常半導体デバイスのアクティブコンポーネントを構成するさまざまな半導体材料のいくつかの層を含んでいる。簡単にするために、これらの層およびデバイスには図示しない。誘電体層12は半導体基板10としてまとめに示す下層のコンポーネントや他の材料から金属配線14を絶縁するのに適した任意の材料とすることができる。

【0016】好ましくは、配線はアルミニウム層を好ましくは半導体誘電体層12上に堆積させて形成される。アルミニウムはレジストでマスクし、パターニングして周知のいくつかの方法の中の一つによりエッチングすることができる。この手順により、図2aに示すような金

属配線14が得られる。本発明の方法はアスペクト比の高い金属を使用し、配線金属の厚さは幅より大きい。アスペクト比の高い配線は、高密度回路の狭い間隔を維持しながら配線抵抗を低減するのに有用である。配線と下層回路間の接続はビアおよびプラグ16により表される。ビアの数は配線位置と下層回路の設計によって決まる。

【0017】図2bにウエハの表面上で配線14間に形成したHISQ 13を示す。好ましくは、HISQ 13は、図2aに示す、金属配線14間の重要な領域を埋めるのに十分な厚さでスピニング・プロセスにより形成される。好ましい材料はおおよそより小さい比誘電率を有するポリシロキシゲンシロキサン(HISQ)である。この材料はダウコーニング社で製造され、FOMのトレードマークで販売され、またマライバング社のからもHISQのトレードマークで販売されている。次に、HISQは好ましくはスピニング上のホットプレート・プロセスによりおおよそ900°Cで部分硬化される。

【0018】続いてHISQ 13には、図2bに示すような酸化化キャップ層20が形成される。キャップ層はマイクロクラックの核形成および低減を防止し、O<sub>2</sub> およびH<sub>2</sub> O硬化を可能とし、クラックを生じることなくより厚いHISQ層を可能にし、平坦化を改善する。キャップ層の厚さはHISQの強度および厚さに従って最適化することができる。キャップ層は低誘電率プラズマS i O<sub>2</sub>、プラズマS i N<sub>4</sub>、フッ化S i O<sub>2</sub>、もしくは他の適切な誘電体とすることができる。ビアエッチングに使用すると同じCFに基づく化学作用をエッチングに使用するため、プラズマCVD S i O<sub>2</sub> キャップ層が好ましい。キャップ層の厚さは好ましくは1、000-3、000Å、最も好ましくはおおよそ2、000Åである。

【0019】キャップ層20の形成後、HISQを硬化することができる。キャップ層はマイクロクラックの核形成および低減の防止を助け、O<sub>2</sub> およびH<sub>2</sub> O硬化を可能とし、クラックを生じることなくより厚いHISQ層を可能とし、平坦化を改善する。

【0020】続いて、キャップ層20におおよそ16、000Åの薄いS i O<sub>2</sub> 層間誘電体22を形成して平坦化することができる。層間誘電体を平坦化した後で、図1に示すような構造となる。好ましい実施例では、層間誘電体はプラズマCVD (PECVD) により堆積された化学機械研磨 (CMP) により平坦化されたS i O<sub>2</sub> である。後に詳述するように、本発明は従来の誘電体材料間に低誘電体材料を配置することにより、S i O<sub>2</sub> と比誘電率の低い材料の利点を組み合わせるものである。構造的安全性、結着性、熱伝導率がS i O<sub>2</sub>、その他の適切な誘電体により改善される。

【0021】本発明の方法を繰り返して、互いに積み重ねられた多層配線を形成することができる。多層の例を図3に示す。典型的な多層配線は層間のビアおよびコン

(4)

特開平10-74755

タクト16が必要である。これらのビタは通常、同様の方法で電誘電体が形成され平坦化された後に作られる。

【0022】図3にはライナー層24も示されている。ライナー層24はHSQが配線14と接触しないようにするために使用することができる。ライナー層はCVDシリコン酸化膜等のエッチストップ層となら保護オパコート層とすることができる。次に、HSQ材料ライナー層の上のウェーハ表面上でスピンコートされる。

【0023】図1に示す構造は従来技術の構造に類似しているが、主要な特徴は注目したい。本発明の方法により、HSQは従来よりも厚く形成することができる。厚さが増すために、金属配線層間に比誘電率のより低い材料を有することにより配線容量を低減することができる。同じ金属層間の配線間のブリッジング容量も低減することができる。従来技術の方法を使用する従来技術の構造では、最大平面ノード厚25はおおよそ4,000Åであり、配線23上の最大HSQはおおよそ1,000Åであった。従来技術の方法を使用すれば、これらの最大値の上に形成されるHSQには高いクラック問題が生じた。本発明の実施例は4,000Åよりも大きいノード厚26および1,000Åよりも大きい配線28上のHSQを含んでいる。

【0024】本発明の別の実施例を図4に示す。この実施例は本発明の方法をS/N60(T1-19733)の構造に適用している。この応用はHSQが分離層内に配設されて耐高温トンネル埋込みを行うことを開示している。この構造では、硬化の前にHSQハキャップ層を施すと有利であることも判った。特に、キャップ層により有害な影響を及ぼすことなくHSQ層を厚くすることができ、層厚は1μmよりも厚くすることができる。また、キャップ層によりHSQのO<sub>2</sub>及びH<sub>2</sub>Oが硬化を行うことができHSQ層の収縮が低減される。

【0025】図4に示すように、シリコン基板10にトランジスタ32等の隣接アクティブデバイスを分離する分離層30を有している。酸化膜キャップ22は導形成エッチングのハードマスクであると共に酸化膜平坦化のCMPストップパである。好ましくは、次に基板はHSQ18によりスピンコートされる。好ましくは、次にHSQ18はスピンコートでホットプリントベークにより部分硬化される。好ましくはPRTFQ3であるキャッピング層20が前記したように形成される。キャッピング層を形成した後、HSQは150℃のN<sub>2</sub>/O<sub>2</sub>もしくは850℃のH<sub>2</sub>O内で安全に硬化される。硬化には好ましくは15-90分、最も好ましくはおおよそ30分行われる。

【0026】本発明のうち1つの実施例を図5に示す。この実施例ではポリアシル電体を用いてHSQ層が使用されている。図5からお判りのように、シリコン基板10は1μm以上のゲート厚を有している。ゲートは隣接アクティブデバイスを分離する分離層30を含んでいる。好ましくは、基板表面にはHSQ18がスピンコートされる。好ましくは、次にHSQ18はスピンコートでホットプリントベークにより部分硬化される。好ましくはPRTFQ3であるキャッピング層20が前記したように形成される。キャッピング層の形成後、HSQは1060℃のN<sub>2</sub>/O<sub>2</sub>もしくは850℃のH<sub>2</sub>O内で安全に硬化される。好ましくは、硬化は15-100分、最も好ましくはおおよそ30分である。この実施例は前記した他方の実施例と組み合わせ使用することができる。

【0027】本発明は、また、安定化層を前記した同一出願人による出願に開示された構造および技術と組み合わせ使用とするものである。

【0028】

【表1】実施例および図面の入票を表に示す。

(3)

特開平10-74733

図面 要素	符号または 特定例	一般的使用	代替例
10	シリコン基板	基板またはウェーハ	GaAs
12	シリコン酸化膜	パッド層	
14	アルミニウム	配線	TiW/Al/TiW, Cu, W
16	タングステン	ビア	アルミニウム
18	HSQ	低比誘電率材料	ナセロゲル, 有機SiC, 低比誘電率 ポリマー
20	TEOS	エッチング層	フッ化SiO <sub>2</sub> , Si <sub>3</sub> N <sub>4</sub> , ダイヤモンド, 機械的強度の低い他の誘電体
22	SiO <sub>2</sub>	金属間誘電体	フッ化SiO <sub>2</sub> , Si <sub>3</sub> N <sub>4</sub> , ダイヤモンド, 機械的強度の低い他の誘電体
24	シリコン酸化膜	フィナー	フッ化SiO <sub>2</sub>
30	トレンチ		
32	酸化膜	研磨ストップ	
34	シリコン酸化膜	パッド酸化膜	

【0029】実施例を参照して本発明を説明してきたが、この説明は創作的意味合いを有するものではない。当業者ならば、説明を求めば、他の実施例だけでなく例示した実施例のさまざまな修正および組合せが自明であらう。このような修正や実施例は全て特許請求の範囲に

入るものとする。

【0030】関連出願の相互参照

同一出願人により出願されている下記の出願は本出願に関連しており、本開示の一部としてここに組み入れられている。

出願	T1 グレース	出願日
S/N08/137,658	T1-18509	10/15/93
S/N08/208,807	T1-19532	08/03/94
S/N08/455,765	T1-18929AA	05/31/95
S/N60/005132	T1-20784	10/12/95
S/N60/	T1-21907	10/25/95
S/N60/	T1-21909	12/04/95
S/N60/013,866	T1-21880	03/22/96
S/N60/	T1-19738	07/30/98

問題

配線間容量を低減する平坦化構造  
メタルリード間の配線容量改善  
比誘電率の低い絶縁体を埋込んだ平坦化多層配線方式  
集積回路用低容量配線構造  
高熱伝導配線構造  
分解ポリマーを使用した集積回路用低容量配線構造  
比誘電率の低い材料を使用した集積回路用低容量配線構造  
流動性酸化膜を埋込材料として使用したシリコンオンインスレータ技術用低容量配線構造

(二) ヒドロジシルサスキオキサン層を硬化するステップと、からなる方法。

【0032】(2) マイクロエレクトロニクス構造の形成方法であって、該方法は、(イ) 金属配線を有する半導体基板を設けるステップと、(ロ) 前記基板の前記配線上にヒドロジシルサスキオキサン層を形成するステップと、(ハ) 前記ヒドロジシルサスキオキサン層に

【0031】以上の説明に関して更に以下の項を開示する。

(1) マイクロエレクトロニクス構造の形成方法であって、該方法は、(イ) 半導体基板を設けるステップと、(ロ) 前記基板上にヒドロジシルサスキオキサン層を形成するステップと、(ハ) 前記ヒドロジシルサスキオキサン層にエッチング層を形成するステップと、

(9)

特開平10-74755

キャッピング層を形成するステップと、(ニ)ヒドロジ  
ンシルセスキオキサン層を焼で硬化するステップと、か  
らなる方法。

【0033】(3) 第1項もしくは第2項記載の方法  
であって、前記ヒドロジンシルセスキオキサンは前記基  
板上の配線間に形成される方法。

【0034】(4) 第1項記載の方法であって、さら  
に、前記ヒドロジンシルセスキオキサンを形成する前に  
前記導電性配線上にライナー層を設ける付加ステップを  
含む方法。

【0035】(5) 第1項もしくは第2項記載の方法  
であって、前記ヒドロジンシルセスキオキサンは前記基  
板上の分離溝内に形成される方法。

【0036】(6) 第1項もしくは第2項記載の方法  
であって、前記キャッピング層はSiO<sub>2</sub>、およびSi<sub>3</sub>N<sub>4</sub>、  
およびフッ化SiO<sub>2</sub>の群から選択される方法。

【0037】(7) 第1項もしくは第2項記載の方法  
であって、前記硬化はO<sub>2</sub>、H<sub>2</sub>、O<sub>2</sub>、F<sub>2</sub>、N<sub>2</sub>、O<sub>2</sub>、  
H<sub>2</sub>Oおよびフローミングガス(H<sub>2</sub>とN<sub>2</sub>の混  
合)からの選択を有する方法。

【0038】(8) 第7項記載の方法であって、前記  
が硬化は400℃よりも高い温度を有する方法。

【0039】(9) 第7項記載の方法であって、前記  
が硬化は800℃よりも高い温度を有する方法。

【0040】(10) 第1項もしくは第2項記載の方  
法であって、工程に続いて前記誘電体を半硬化する付加  
ステップを含み、次にステップ(イ)から(ニ)を繰り返  
して多層配線構造を作り出す方法。

【0041】(11) マイクロプロセッサ構造であ  
って、(イ)半導体基板と、(ロ)およそ4,000  
Åよりも大きい厚さを有する、前記基板上の實質的にク  
ラックの無いヒドロジンシルセスキオキサン層と、か  
らなる構造。

【0042】(12) 第11項記載の構造であって、  
前記ヒドロジンシルセスキオキサンは前記基板上の配線  
間に形成される構造。

【0043】(13) 第11項記載の構造であって、  
前記ヒドロジンシルセスキオキサンは前記基板上の分離  
溝内に形成される構造。

【0044】(14) 第11項記載の構造であって、  
前記キャッピング層はSiO<sub>2</sub>、およびSi<sub>3</sub>N<sub>4</sub>、および  
フッ化SiO<sub>2</sub>の群から選択される構造。

【0045】(15) 第11項記載の構造であって、  
前記ヒドロジンシルセスキオキサンは前記基板上のデバ  
イスゲート上にポリメタル誘電体として形成される構  
造。

【0046】(16) H<sub>2</sub>SQを集積回路構造内に集積  
する改良された方法および、特に多層配線を必要とす  
る、過程が提供される。実施例では、配線14が最初に  
基板10上にパターン化されエッチングされる。ヒドロ  
ジンシルセスキオキサン(H<sub>2</sub>SQ)等の低k材料がウェ  
ーの表面を覆ってエッチコートされ配線間の領域を埋  
める。SiO<sub>2</sub>20等のキャッピング層が低k材料の頂  
面に形成される。次に、H<sub>2</sub>SQが加熱硬化される。次  
に、薄いSiO<sub>2</sub>半硬化層22を形成して半硬化するこ  
とができる。別の実施例では、H<sub>2</sub>SQおよびSiO<sub>2</sub>ブ  
ロックステップを繰り返して多層H<sub>2</sub>SQとすることがで  
きる。

【図面の簡単な説明】

【図1】本発明の好ましい実施例の断面図。

【図2】図1の好ましい実施例の製作ステップ。

【図3】多層配線を有する本発明の好ましい実施例の断  
面図。

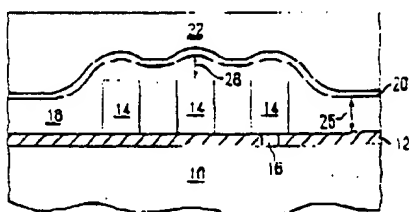
【図4】トランジスタにキャップ付きH<sub>2</sub>SQ層を使用し  
た本発明のもう一つの好ましい実施例の断面図。

【図5】追加の実施例を示す。

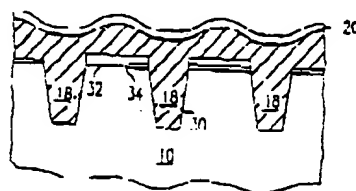
【符号の説明】

- 10 半導体基板
- 12 誘電体層
- 14, 28 配線
- 16 ドライブおよびプラグ
- 18 H<sub>2</sub>SQ
- 20 安定化層
- 22 金属間誘電体層
- 24 配線層
- 30 分離溝
- 32 トランジスタ
- 34 ゲート

【図1】



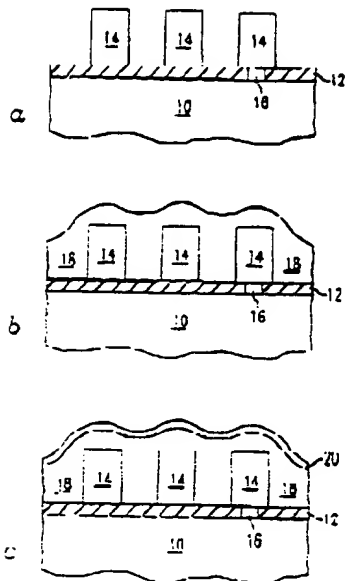
【図4】



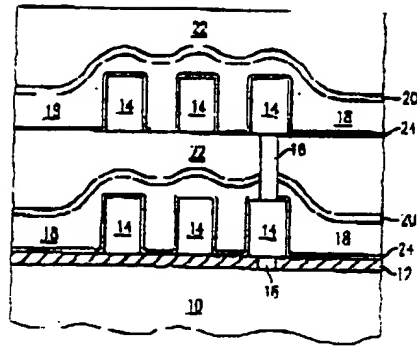
(7)

特開平10-74755

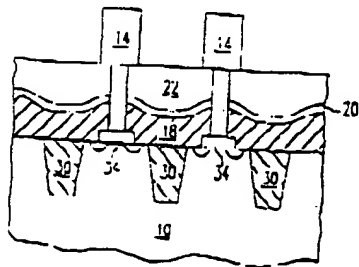
【図2】



【図3】



【図5】



フロントページの続き

(72)発明者 アミタバ チャタージー  
 アメリカ合衆国テキサス州プラノ、サンタ  
 アノーン 3343

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**